

Abstract of Korean Patent Publication

(54) A fabrication method of a trench for a semiconductor device

(11) Application Publication Number: 1998-026303 (1998. 07.15)

(21) Application Number: 10-1996-044706 (1996.10.09.)

(57) Abstract:

The present invention relates to a fabrication method of a trench for a semiconductor device. The method comprises the steps of: forming an oxidation layer in the silicon substrate; and forming a trench by selectively etching the silicon substrate such that the oxidation layer is exposed.

(51) IPC : Int. Cl. H01L 21/76

Best Available Copy

특1998-026303

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

(11) 공개번호 특1998-026303

H01L 21/76

(43) 공개일자 1998년 07월 15일

(21) 출원번호

특1996-044706

(22) 출원일자

1996년 10월 09일

(71) 출원인

현대전자산업 주식회사 김명환

(72) 발명자

경기도 이천군 부발읍 마미리 산 136-1

유석빈

서울특별시 서대문구 홍은동 벽산아파트 104동 701호

류상욱

부산광역시 해운대구 재송 1동 1087-17번지 13동 1번

최승민, 신영무

(74) 대리인

상사참구 : 애플

(54) 반도체 소자의 트렌치 형성 방법

요약

본 발명은 반도체 소자의 트렌치 형성 방법에 관한 것으로, 트렌치(Trench)의 깊이를 정확하게 조절할 수 있도록 하기 위하여 실리콘 기판의 소정 깊이에 산화층을 형성한 후 상기 산화층을 식각 정지점으로 이용하여 상기 실리콘 기판을 식각함으로써 식각 깊이를 용이하고 정확하게 조절할 수 있으며 공정의 안정화를 이룰 수 있도록 한 반도체 소자의 트렌치 형성 방법에 관한 것이다.

도표도

도 1a

도 1b

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 설명하기 위한 소자의 단면도.

도 2는 도 1b를 설명하기 위한 그래프도.

도 3은 도 1d를 설명하기 위한 그래프도.

도면의 주요 부분에 대한 부호의 설명

1:실리콘 기판2:패드 산화막

3:절화막4:식각 방지막

5:감광막6A:산소 이온

6B:산화층7:트렌치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 트렌치 형성 방법에 관한 것으로, 특히 트렌치(Trench)의 깊이를 정확하고 용이하게 조절할 수 있도록 한 반도체 소자의 트렌치 형성 방법에 관한 것이다.

일반적으로 반도체 소자가 고집적화됨에 따라 소자간의 전기적 절연을 위한 소자분리막의 폭도 0.4 μ m 이하로 감소된다. 그러므로 국부 산화(LLOCOS) 공정을 이용한 소자분리막 형성 방법은 초고집적 소자의 제조에 더 이상 적용이 어려운 실정이다.

따라서 근래에는 베즈 박(Bird's Beak)의 생성으로 인하여 크기 제어가 어려운 국부 산화 공정 대신 트렌치를 이용한 소자 분리막 형성 방법을 이용하는데, 이 방법을 이용하는 경우 트렌치를 형성하기 위한 식각 공정시 실리콘 기판의 식각 깊이를 정확히 조절하기 어려운 단점이 있다. 그러면 종래 반도체 소자의 트렌치 형성 방법을 설명하면 다음과 같다.

종래에는 실리콘 기판상에 식각 방지막을 형성한 후 트랜치가 형성될 부분의 상기 실리콘 기판이 노출된 다음 상기 식각 방지막을 패터닝한다. 그리고 상기 식각 방지막을 마스크로 이용한 식각 공정으로 노출된 상기 실리콘 기판을 소정 깊이 식각하여 트랜치를 형성한다. 그런데 상기 식각 공정시 상기 실리콘 기판의 식각 깊이가 측정되지 않기 때문에 식각 시간에 의해 상기 트랜치의 깊이가 결정된다. 따라서 동일한 시간동안 식각 공정이 이루어지더라도 각각의 공정 또는 장비에 따라 각각의 실리콘 기판에 형성된 트랜치의 깊이가 다르게 형성된다. 그러므로 공정의 안정화를 이룰 수 없게 되는데, 예를 들어 상기 트랜치내에 소자분리막이 형성되는 경우 트랜치의 깊이 불균일로 인하여 소자간의 상호 전기적 간섭이 발생되거나 소자간의 전기적 분리가 불균일해져 소자의 신뢰성에 막대한 지장을 초래한다.

본 발명이 이루고자하는 기술적 과제

따라서 본 발명은 실리콘 기판에 산화층을 형성한 후 산화층을 식각 정지층으로 이용함으로써 상기한 단점을 해소할 수 있는 반도체 소자의 트랜치 형성 방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 트랜치 형성 방법은 실리콘 기판의 소정 깊이에서 산소 이온을 주입한 후 열처리하여 산화층을 형성하고 상기 산화층을 식각 정지층으로 이용하여 상기 실리콘 기판을 식각하는 것을 특징으로 하며, 본 발명에 따른 다른 반도체 소자의 트랜치 형성 방법은 실리콘 기판상에 식각 방지막 및 감광막을 순차적으로 형성한 후 소정의 마스크를 이용하여 상기 감광막과 실리콘 기판상에 식각 방지막 및 감광막을 순차적으로 형성한 후 소정의 마스크를 이용하여 상기 식각 방지막을 패터닝하는 단계와, 상기 단계로부터 상기 패터닝된 감광막을 마스크로 이용하여 상기 식각 방지막을 패터닝한 후 노출된 실리콘 기판에 산소 이온을 주입하는 단계와, 상기 단계로부터 상기 감광막을 제거한 후 상기 주입된 산소 이온이 내부 확산되어 실리콘과의 반응에 의해 산화층이 형성되도록 열처리를 실시하는 단계와, 상기 단계로부터 상기 식각 방지막을 마스크로 이용하여 상기 산화층을 식각 정지층으로 이용하여 노출된 부분의 상기 실리콘 기판을 식각하는 단계로 이루어지는 것을 특징으로 한다.

본 발명의 구성 및 작용

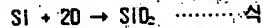
이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1A 내지 도 1D는 본 발명에 따른 반도체 소자의 트랜치 형성 방법을 설명하기 위한 소자의 단면도로서, 도 2 및 도 3을 참조하여 설명하면 다음과 같다.

도 1A는 실리콘 기판(1)상에 식각 방지막(4)을 형성한 후 상기 식각 방지막(4)상에 감광막(5)을 형성하고 소정의 마스크를 이용하여 상기 감광막(5)을 패터닝한 상태의 단면도로서, 상기 식각 방지막(4)은 100 내지 300Å 두께의 패드 산화막(2)과 1000 내지 3000Å 두께의 질화막(3)으로 형성하거나 산화막만으로 형성하는데, 이때 상기 패드 산화막(2)은 상기 질화막(3)과 상기 실리콘 기판(1)의 격자 배열 차이로 인한 응력의 발생을 감소시키기 위한 목적으로 형성한다.

도 1B는 상기 패터닝된 감광막(5)을 마스크로 이용하여 상기 식각 방지막(4)을 패터닝한 후 노출된 실리콘 기판(1)에 산소 이온(6A)을 주입한 상태의 단면도로서, 상기 산소 이온의 도즈(Dose)량은 1×10^{16} 내지 10^{17} cm^{-2} 정도가 되도록 하고 이온 주입 에너지는 50 내지 200keV가 되도록 하며 설정된 트랜치 깊이와 일치되는 상기 실리콘 기판(1)에서 상기 산소 이온(6A)의 도즈량이 최고치를 갖도록 도 2에 도시된 바와 같이 투사 범위(Rp) 값을 조절한다.

도 1C는 상기 감광막(5)을 제거한 후 주입된 산소 이온(6A)이 내부 확산되도록 900 내지 1400°C의 온도에서 열처리를 실시한 상태의 단면도로서, 이때 상기 주입된 산소 이온(6A)이 실리콘(Si) 원자와 하기의 식각과 같이 반응하여 상기 실리콘 기판(1)의 소정 깊이에 산화층(6B)이 형성되며 이온 주입된 부분의 실리콘(Si) 결정의 결합력이 약화된다.



도 1D는 상기 식각 방지막(4)을 마스크로 이용하여 상기 산화층(6B)을 식각 정지층으로 이용하여 노출된 부분의 상기 실리콘 기판(1)을 건식 식각함으로써 소정 깊이를 갖는 트랜치(7)가 형성된 상태의 단면도로서, 상기 건식 식각시 실리콘(Si)과 상기 산화층(6B)의 식각 선택비가 20 내지 50:1 정도가 되도록 Cl_2 와 O_2 가 혼합된 가스 또는 CF_4 , C_2F_6 및 CHF_3 가 혼합된 가스를 이용한다. 또한 상기 실리콘 기판(1)이 식각되는 과정에서 생성되는 SiCl_4 , SiF_4 또는 SiH_4 와 같은 반응 부산물의 파장을 광학 분광기(End Point Detector)를 이용하여 감지함으로써 식각 정지점을 용이하게 감지할 수 있고, 따라서 상기 트랜치(7)의 깊이를 정확히 조절할 수 있다. 예를 들어 도 3에 도시된 바와 같이 식각 정지점으로 이용되는 상기 산화층(6A)이 나타나는 시간(t)이 되면 상기 반응 부산물의 생성이 중단되며, 이에 따라 광량의 감소가 발생되기 때문에 식각 공정을 중단하면 된다. 그리고 이때 상기 산소 이온이 주입된 부분의 상기 실리콘 기판(1)은 실리콘(Si) 격자의 결합이 약기 때문에 산소 이온이 주입되지 않은 부분에 비해 식각 속도가 빨라진다.

본 발명의 효과

상술한 바와 같이 본 발명에 의하면 실리콘 기판에 산소 이온을 주입한 후 열처리하여 산화층을 형성하고 광학 분광기를 이용하여 상기 산화층이 노출되는 시점까지 상기 실리콘 기판을 식각하여 트랜치를 형성함으로써 식각 깊이를 정확하고 용이하게 조절할 수 있다. 따라서 공정의 안정화를 이룰 수 있으며 식각 속도의 증가로 수율 증대를 이룰 수 있는 탁월한 효과가 있다.

(5) 청구의 범위

청구항 1. 반도체 소자의 트랜치 형성 방법에 있어서,

실리콘 기판의 소정 깊이에서 산소 이온을 주입한 후 열처리하여 산화층을 형성하고 상기 산화층을 식각 정지점으로 이용하여 상기 실리콘 기판을 식각하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 2. 제1항에 있어서,

상기 산소 이온은 1×10^{14} 내지 10^{16} cm^{-2} 의 도즈량 및 50 내지 200keV의 에너지로 주입되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 3. 제1항에 있어서,

상기 열처리는 900 내지 1400°C의 온도에서 실시되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 4. 제1항에 있어서,

상기 실리콘 기판은 건식 식각 방법으로 식각되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 5. 제1항에 있어서,

상기 실리콘 기판 식각시 상기 실리콘 기판과 상기 산화층의 식각 선택비는 20 내지 50:1이 되도록 하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 6. 제1항에 있어서,

상기 식각 정지점은 생성되는 반응 부산물의 파장을 감지하기 위한 광학 분광기에 의해 감지되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 7. 반도체 소자의 트렌치 형성 방법에 있어서,

실리콘 기판상에 식각 방지막 및 감광막을 순차적으로 형성한 후 소정의 마스크를 이용하여 상기 감광막을 패터닝하는 단계와,

상기 단계로부터 상기 패터닝된 감광막을 마스크로 이용하여 상기 식각 방지막을 패터닝한 후 노출된 실리콘 기판에 산소 이온을 주입하는 단계와,

상기 단계로부터 상기 감광막을 제거한 후 상기 주입된 산소 이온이 내부 확산되어 실리콘과의 반응에 의해 산화층이 형성되도록 열처리를 실시하는 단계와,

상기 단계로부터 상기 식각 방지막을 마스크로 이용하여 상기 산화층을 식각 정지점으로 이용하여 노출된 부분의 상기 실리콘 기판을 식각하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 8. 제7항에 있어서,

상기 식각 방지막은 패드 산화막 및 질화막으로 이루어진 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 9. 제8항에 있어서,

상기 패드 산화막은 100 내지 300 Å의 두께로 형성되며 상기 질화막은 1000 내지 3000 Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 10. 제7항에 있어서,

상기 산소 이온은 1×10^{14} 내지 10^{16} cm^{-2} 의 도즈량 및 50 내지 200keV의 에너지로 주입되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 11. 제7항에 있어서,

상기 열처리는 900 내지 1400°C의 온도에서 실시되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 12. 제7항에 있어서,

상기 실리콘 기판은 건식 식각 방법으로 식각되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 13. 제12항에 있어서,

상기 건식 식각은 Cl_2 와 O_2 가 혼합된 가스 또는 CF_4 , C_2F_6 및 CHF_3 가 혼합된 가스중 어느 하나를 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 14. 제7항에 있어서,

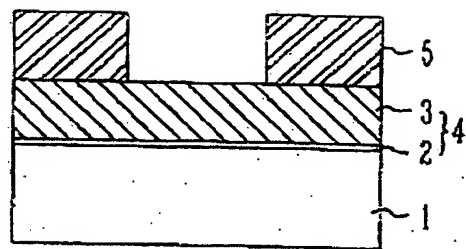
상기 실리콘 기판 식각시 상기 실리콘 기판과 상기 산화층의 식각 선택비는 20 내지 50:1이 되도록 하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

청구항 15. 제7항에 있어서,

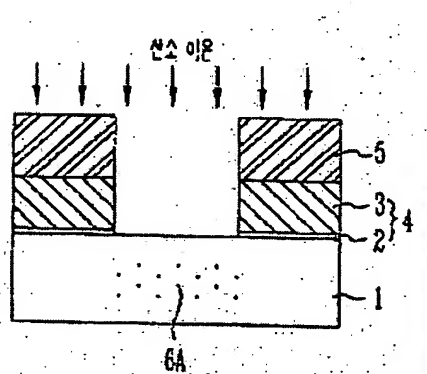
상기 식각 정지점은 생성되는 반응 부산물의 파장을 감지하기 위한 광학 분광기에 의해 감지되는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

도면

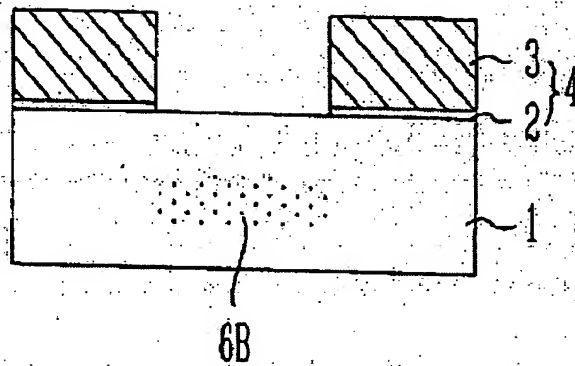
도 1a



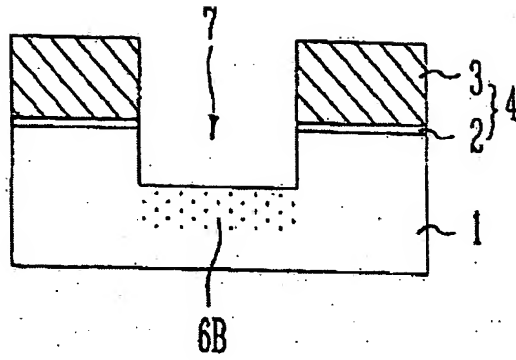
도 1b



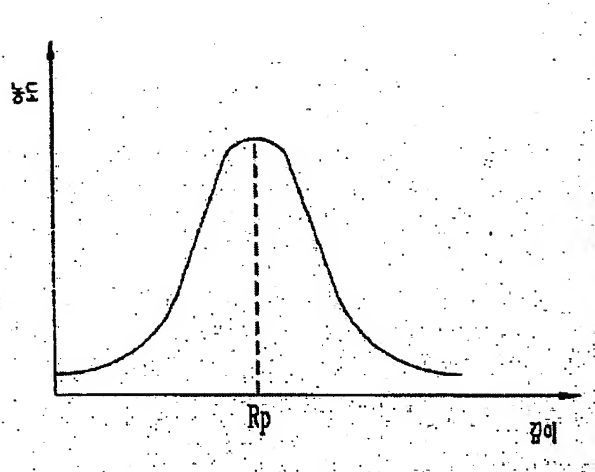
도 1c

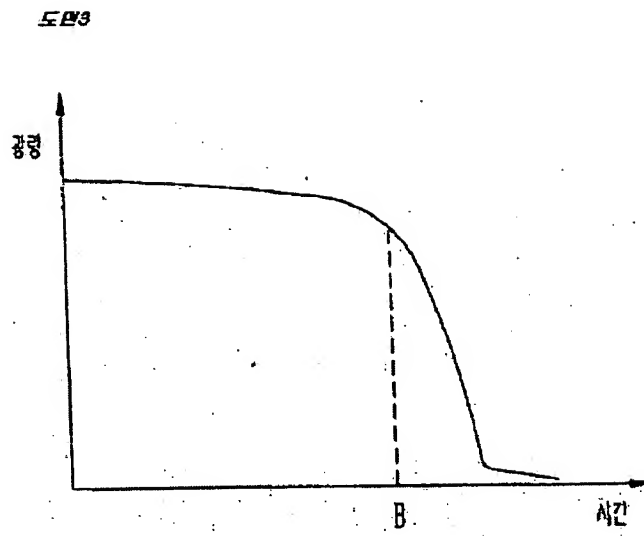


도 1d



도 12





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.